

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-099031

(43)Date of publication of application : 17.04.1989

(51)Int.Cl.

G02F 1/133

G02F 1/133

(21)Application number : 62-256912

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 12.10.1987

(72)Inventor : OTA SUNAO

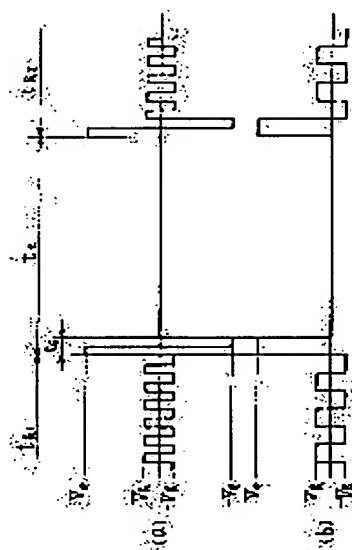
## (54) METHOD FOR DRIVING ELECTRO-OPTICAL DEVICE

### (57)Abstract:

**PURPOSE:** To erase the display in a short time even in case of a liquid crystal panel for showing an abnormal hysteresis by executing the erasion by applying both of a pulse voltage and '0' or about '0' volt, in an electro-optical device having a hysteresis characteristic.

**CONSTITUTION:** In a device which has utilized a fact that an applied voltage and transmittivity cause a hysteresis phenomenon in a high twist state exceeding  $90^\circ$ , in an area where an abnormal hysteresis is shown especially when sweeping speed becomes high, a period  $t_e$  in which a holding voltage  $V_k$  is dropped to '0' from an ON state and erased becomes very long. Therefore, a high pulse for erasing the voltage being higher than the holding voltage is applied to the head of an erasion period for a time  $t_s$  (5W0.2msec), and subsequently, an erasing waveform for applying zero volt is used.

According to this erasing waveform, the erasing time  $t_e$  is shortened surely.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-99031

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)4月17日

G 02 F 1/133

3 3 1  
3 3 48708-2H  
8708-2H

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 電気光学装置の駆動方法

⑯ 特 願 昭62-256912

⑰ 出 願 昭62(1987)10月12日

⑱ 発 明 者 太 田 直 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式  
会社内⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社

⑳ 代 理 人 弁理士 最 上 務 外1名

## 明 細 書

## 1. 発明の名称

電気光学装置の駆動方法

## 2. 特許請求の範囲

(1) 書き込まれた表示内容を保持電圧を印加して保持する方法で駆動されるヒステリシス特性を有する電気光学装置の駆動方法において、消去をパルス電圧とゼロもしくは略ゼロボルトの電圧双方を印加することで行なうことを特徴とする電気光学装置の駆動方法。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、表示装置、透過光量制御装置等として用いることのできる電気光学装置の駆動方法に関する。

## 〔従来の技術〕

従来、電気光学装置として種々のものが開発さ

れている。これらの中でも、液晶を用いた電気光学装置は比較的構成が簡単で、小型、軽量、低消費電力等の特徴により、表示装置、光シャッター等の用途に広く用いられている。

液晶電気光学装置の製造上、大容量化／大面積化時には単純マトリクスを用いたものがアクティブマトリクスを用いたものより有利であるが、従来の単純マトリクスを用いた液晶電気光学装置においては、電気光学特性の制限から大容量のものを作製することが困難である。例えば、ツイストネマチックモードを用いたものでは1/200デューティ程度、よりツイスト角を大きくして高性能にしたSTN/SBEモードでも1/400デューティ程度とすると、表示品位あるいは応答速度が悪化して実用上使用に耐えないという問題点があった。

そこで、液晶とその配向制御によって記憶を持たせる(印加電圧によるヒステリシス特性を利用するものJ.Appl.Phys., 59, 3087, '86など)方法が考えられた。これは、液晶材料によっては90度

## 特開平 1-99031 (2)

を超える高ツイスト状態で印加電圧と透過率がヒステリシス現象を起こすことを利用しており、選択的に書き込んだ情報を、ヒステリシスループ内となるような保持電圧を印加することによって保持しようとするものである。以下、本発明では、この方式のことをHTN方式と略記する。

このHTN方式を用いた電気光学装置においては、電気光学特性にヒステリシス特性が発現するには種々の条件を満たすことが必要である。すなわち、電気光学装置を構成する液晶パネルにおけるツイスト角、セル厚、プレチルト角、液晶組成物の自発ピッチ、弾性定数、配向膜と液晶分子の相互作用の状況等によってヒステリシス特性の発現状況が異なってくる。一般には、プレチルト角が大、ツイスト角が大、界面規制力が大、弾性定数の比 $K_{11}/K_{33}$ 、 $K_{33}/K_{22}$ が共に大、 $\Delta\epsilon/\epsilon_{\perp}$ が小、液晶セルのピッチ $P_c$ と液晶組成物の自発ピッチ $P_s$ のずれ $\Delta P (= P_c/P_s - 1)$ が小の方向にある等の方がヒステリシス特性が発現し易いという傾向にある。

-3-

くすると、駆動電圧上昇過程では第2図a、駆動電圧下降過程では第2図bに示すような特性を示すが、掃引スピードを速くすると、駆動電圧上昇過程では第2図c、駆動電圧下降過程では第2図dで示すように、ヒステリシス特性の幅が異なるような特性を示す。しかし、上記の異常ヒステリシス領域では、この傾向がさらに助長され、駆動電圧の掃引スピードが十分に遅ければ第2図a、bで示されるような通常のヒステリシス特性を示すが、駆動電圧の掃引スピードが遅い場合には、駆動電圧上昇過程では第2図cとほぼ同じ特性を示すが、駆動電圧下降過程では第2図eに示すような特性を示し、ON状態から電圧をゼロにして消去しようとしても、表示が消えるまでには非常に長い時間を必要とする。

従来のHTN方式での駆動波形の概念は第3図に示すように、前の表示状態を保持している保持期間 $t_{H1}$ 、ゼロボルトを印加して前の表示状態を消去する消去期間 $t_E$ 、新しい表示状態を書き込む書き込み期間 $t_W$ 、さらにヒステリシスループ

〔発明が解決しようとする問題点〕

しかし、界面規制力、弾性定数等、他の条件にも左右されるが、例えば、極端に $\Delta P$ を小さくする、言い換えればカイラルドーパントの量を減らしたり、セル厚を厚くしたりすると、液晶組成物のツイスト角が入れ物としてのセル側で規制するツイスト角に遠しなくなり、いわゆるローツイストドメインが発生するようになって電気光学装置としては使えなくなる。

このローツイストドメインが発生する領域と、通常のヒステリシス特性が発現する領域の間は不安定領域となり、異常なヒステリシス現象を示すことがある(以下、異常ヒステリシスと呼ぶ)。通常、ヒステリシス特性を有する液晶パネルの電気光学特性を測定する場合には、駆動電圧の掃引スピードをできる限り小さくする。しかし、ヒステリシス特性は、測定する際の駆動電圧の掃引スピードによって影響を受けることが多い。HTN方式の液晶パネルの場合にも、通常のヒステリシス特性を示す領域では、掃引スピードを非常に遅

-4-

内となる保持電圧 $V_h$ を印加して表示状態を保持する保持期間 $t_{H2}$ とからなる。従って、保持電圧 $V_h$ のON状態から、ゼロボルトを印加して消去しようとする場合は、前述の掃引スピードが遅い場合に相当し、異常ヒステリシス特性を示す液晶パネルでは消去時間が非常に長くなってしまい、電気光学装置として使用するには非常に問題があった。

そこで本発明では、 $\Delta P$ の許容範囲を広げ、液晶パネルの製造を容易にすることが可能なHTN方式を用いた電気光学装置の駆動方法を提供することを目的としている。

〔問題点を解決するための手段〕

本発明では、書き込まれた表示内容を保持電圧を印加して保持する方法で駆動されるヒステリシス特性を有する電気光学装置の駆動方法において、消去をパルス電圧とゼロもしくは略ゼロボルトの電圧双方を印加することで行なうことを特徴とする。

-5-

-6-

## 特開平 1-99031(3)

## 〔実施例〕

以下、実施例に基づき本発明の詳細を説明する。

## 〔実施例 1〕

電気光学装置として、 $750 \times 1120$  画素の HTN 方式の液晶パネルを試作した。配向処理としては S10 の斜方蒸着によって液晶分子のプレチルト角を  $25^\circ$ 、上下基板間の液晶のツイスト角を  $270^\circ$  とし液晶を注入して液晶パネルとした。

このパネルにメルク社製の ZLI-3187 にカイラルドーパントとして BDH 社の CB-15 を添加したものを封入して、液晶パネルとした。

界面規制力などセル製造の各条件によってヒステリシス特性の発現状況は異なるが、発明者らの実験では、例えば  $4.4 \mu\text{m}$  のセル厚の液晶パネルに、メルク社の ZLI-3187 にカイラルドーパントとして BDH 社の CB-15 を  $2.43 \sim 2.17 \text{ wt}\%$  添加した液晶を注入し、 $\Delta P$  の値を  $-0.05 \sim -0.15$  としたもののについては通常のヒステリシス特性が得られた。また、CB-15 の添加量を  $2.05 \text{ wt}\%$  以下とし、 $\Delta$

P を  $-0.2$  よりも小さくするとローツイストドメインが発生することが多くなった。 $\Delta P$  の値が  $-0.15 \sim -0.2$  の領域ではローツイストドメインは発生しないが、液晶パネルの製造条件によっては異常ヒステリシスを示したり、示さなかったりした。

これらの液晶パネルで、例えば  $\Delta P$  を  $-0.1$  とした通常のヒステリシス特性を示す液晶パネルでは、 $30^\circ\text{C}$  において、第 3 図に示した従来の HTN 方式のゼロボルト印加の消去法では  $13 \text{ msec}$  で消去が可能であった。一方、 $\Delta P$  を  $-0.2$  とした異常ヒステリシスを示す液晶パネルでは、従来の HTN 方式の消去波形では速くても数百 msec、遅い場合には数秒の単位の消去時間が必要であったに対し、第 1 図 (a) あるいは (b) に示すように、消去期間の先頭に保持電圧よりも高い電圧消去用高パルスを印加し、それに引続きゼロボルトを印加する消去波形とすることで消去時間を非常に短くすることができた。消去用高パルス印加時間  $t_s$  を  $5 \sim 0.2 \text{ msec}$  としたときの、消去

-7-

用高パルス電圧  $V_e$  に対する消去時間  $\tau_e$  (msec) の値を第 1 表に示す。

第 1 表

波形	$t_s$ (ms)	$V_e$ (V)				
		10	20	30	40	50
a	5	18.4	18.0	17.9	17.6	17.4
	1	14.8	14.0	13.9	13.7	13.6
	0.5	14.6	13.7	13.4	13.3	13.2
	0.2	14.3	13.5	13.1	13.0	13.0
b	5	18.7	18.2	18.2	18.2	18.2
	1	14.4	13.8	13.8	13.7	13.5
	0.5	14.0	13.4	13.2	13.1	13.1
	0.2	14.2	14.1	12.9	12.9	12.8

現時点ではその機構まで確定できる段階ではないが、ON 状態、すなわち、書き込みによって液晶分子が立っている状態は準安定状態であり、ここから OFF 状態、すなわち、液晶分子が水平配向している状態になるためには、何等かのポテンシャルの壁を乗り越えなければならないが、消去パルスを印加することがそのエネルギーを外部か

-9-

-8-

ら与えることになり、自然緩和による消去よりも速くなるのではないかと考えている。

第 1 表から、消去用高パルスは高電圧で印加時間が短い方がよいことが判る。

以上、現象の原理については推測の域を出ないが、本発明によれば消去時間を短くすることが可能なことは事実である。

## 〔実施例 2〕

電気光学素子として、 $400 \times 640$  画素の HTN 方式のパネルを試作した。配向処理は実施例 1 と同様に、S10 斜方蒸着とし、プレチルト角  $25^\circ$ 、ツイスト角  $270^\circ$ 、セル厚  $6.0 \mu\text{m}$  とし、メルク社の ZLI-1132 にカイラルドーパントとして BDH 社の CB-15 を添加した液晶を封入した。

この液晶パネルにおいては、CB-15 の添加量が  $1.90 \sim 1.11 \text{ wt}\%$ 、 $\Delta P$  の値にして  $0.3 \sim -0.2$  の領域では正常なヒステリシス特性が得られ、CB-15 の添加量が  $1.07 \sim 1.02 \text{ wt}\%$  で、 $\Delta P$  が  $-0.25 \sim -0.3$

-10-

## 特開平 1-99031(4)

の領域では以上ヒステリシスが発生する。また、 $CB-15$ の添加量を $1.02\text{wt}\%$ 以下にし、 $\Delta P$ が $-0.3$ 以下になるとローツイストドメインの発生する領域になる。 $\Delta P$ が $-0.2 \sim -0.25$ の領域は不安定で以上ヒステリシスを示したり、示さなかったりする。

$\Delta P$ が $-0.3$ の以上ヒステリシスを示す液晶パネルを用いて、実施例1と同様に消去時間を測定したところ、 $25^\circ\text{C}$ において、消去パルス電圧 $V_e = 20\text{V}$ 、消去パルス印加時間 $t_e = 0.5\text{msec}$ の条件で、第3図に示す従来のHTN方式の消去波形では約 $5\text{sec}$ であったのに対し、第1図(a)および(b)の本発明の消去波形では $40\text{msec}$ で消去が可能であった。

以上、実施例を述べたが、本発明は上記実施例にのみ限定されるものではなく、消去期間中にゼロボルト以外の電圧を印加するもの全てに適用でき、その電圧、パルス幅などの条件に何等制限を与えるものではないことはいうまでもない。

## 〔発明の効果〕

以上、説明したように、本発明によれば、書き込まれた内容を保持電圧を印加して保持する方法で駆動されるヒステリシス特性を有する電気光学装置の駆動方法において、本来ならば実用的な消去ができないために使用することができない、異常ヒステリシスを示す液晶パネルでも短時間で表示を消去することが可能になり、液晶パネルの製造マージンを増加することで製造が容易になるという大きな効果を有する。

## 4. 図面の簡単な説明

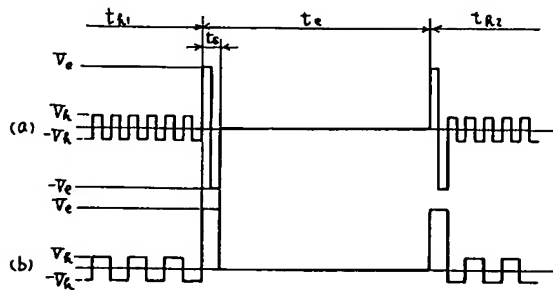
第1図は、本発明の駆動波形の概念を示す図である。

第2図は、ヒステリシス特性を有する電気光学装置の電気光学特性を説明する図である。

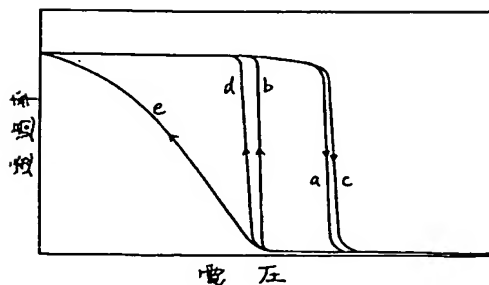
第3図は、従来にHTN方式の駆動波形の概念を示す図である。

以 上

-11-

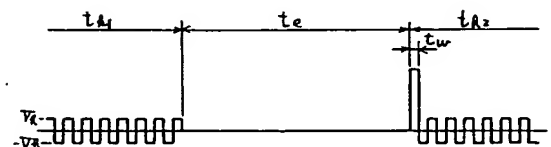


第 1 図



第 2 図

-12-



第 3 図